

許用

(43)公開日 平成10年(1998)11月13日

Q

(全8頁)

鹿児島県国分市山下町1番4号 京セラ株式
会社総合研究所内

【特許請求の範囲】

【請求項1】誘電体材料からなる誘電体基板と、該誘電体基板と蓋体により形成され高周波用素子を収納するためのキャビティと、前記誘電体基板内に設けられた少なくとも1層のグラウンド層と、該キャビティ内の前記誘電体基板の表面に形成され前記高周波用素子と接続されるグラウンド付きコプレーナ線路と、前記誘電体基板の前記キャビティ領域以外の誘電体基板表面に形成されたマイクロストリップ線路とを具備し、前記グラウンド付きコプレーナ線路を、変換部を介して前記誘電体基板内に形成されたストリップ線路と接続し、該ストリップ線路を、前記マイクロストリップ線路と電磁的に結合してなることを特徴とする高周波用パッケージ。

【請求項2】前記ストリップ線路の終端部の開放端側近傍に、少なくとも1つ以上のビアホールを形成するとともに、前記終端部を前記マイクロストリップ線路の終端部と、前記誘電体基板内に設けられたグラウンド層に形成されたスロット孔を介して対峙する位置に配置することにより、前記ストリップ線路と前記マイクロストリップ線路とを電磁的に結合してなる請求項1記載の高周波用パッケージ。

【請求項3】前記グラウンド付きコプレーナ線路を、前記高周波用素子とコプレーナ線路構造で接続してなる請求項1記載の高周波用パッケージ。

【請求項4】前記変換部を、信号線路と、その両側に形成された一対のグラウンド層とからなるコプレーナ線路と、該コプレーナ線路の上下面に形成されたグラウンド層からなる上下グラウンド付きコプレーナ線路によって構成する請求項1記載の高周波用パッケージ。

【請求項5】前記変換部の長さが、伝送信号の波長 λ の $1/4$ 未満である請求項1記載の高周波用パッケージ。

【請求項6】前記変換部において、前記信号線路両側のグラウンド層を、前記上下面に形成されたグラウンド層と、ビアホールおよび／またはキャストレーションによって電気的に接続してなる請求項4記載の高周波用パッケージ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、高周波用素子(MIC、MMIC等)を収納するための高周波用パッケージに関するものであり、特に、高周波信号の特性劣化を低減して高周波用素子と外部電気回路基板との信号の伝送が可能な高周波用パッケージの改良に関するものである。

【0002】

【従来技術】従来、マイクロ波やミリ波を取り扱う半導体装置では、図8(a)(b)に示すように、誘電体材料からなる誘電体基板40と蓋41により形成されたキャビティ42内に高周波用素子43を搭載して気密に封止されている。そして高周波信号の入出力および外部電

機回路基板への実装は、図8(a)に示されるように、高周波用半導体素子43とワイヤボンディングリボン等で接続された、ストリップ線路等の信号伝送線路44を壁体45を通過してキャビティ42外に引き出し、これをさらに基板の側面を経由して底面に配設したパッケージが特開昭61-168939号にて提案され、その他、図8(b)に示すように、絶縁基板40の底面に信号伝送線路46を形成し、この伝送線路46と半導体素子43とをスルーホール47を通じて接続したパッケージも提案されている。これらの半導体装置は、通常、伝送線路46を外部電気回路基板の配線層と半田等によって接続される。

【0003】また、パッケージ内に収納される高周波用素子の入出力端子構造は、高周波信号を扱うために、信号端子の両側にグラウンド端子を有するコプレーナ線路構造からなる高周波用素子が一般的である。

【0004】

【発明が解決しようとする課題】しかしながら、図8(a)のパッケージの場合、伝送線路44が壁体45を通過する場合、壁体通過部で信号線路がマイクロストリップ線路からストリップ線路へと変換されるため、信号線路幅を狭くする必要がある。その結果、この通過部で反射損、放射損が発生しやすいため高周波信号の特性劣化が起こりやすくなるという問題がある。また、前記構成の半導体装置を外部電気回路基板に実装する際、該半導体装置の伝送線路44と外部電気回路基板の配線層を金属製のワイヤーあるいはリボン等で接続するため、モジュール製造時の量産が困難であり及び低コスト化に問題があった。また、伝送線路44が基板の側面で曲折することから、ミリ波帯で用いた場合、伝送線路が曲折することにより反射が大きくなり信号を送受することが困難となる。また、素子搭載面の側面に伝送線路を形成する関係上、半導体装置自体も必然的に大きくなるため回路基板の小型化が困難であった。

【0005】これに対して、図8(b)は、スルーホール47によって壁体を通過することなく、線路自体も曲折されないために、信号の特性劣化は小さいが、伝送する信号の使用周波数が10GHz以上になるとスルーホール47での透過損失が急激に大きくなるために、マイクロ波帯からミリ波帯領域の信号を特性劣化なく伝送することが困難であった。

【0006】また、本発明者らは、先にキャビティ内に高周波用素子と接続されるマイクロストリップ線路を形成し、またキャビティ外にマイクロストリップ線路を形成し、それらを電磁結合することにより、線路が誘電体基板内を通過する際の損失を低減し、かつ外部電気回路基板に表面実装が可能な高周波用パッケージを提案したが、マイクロストリップ線路や線路終端部から漏れる電磁波がキャビティ内に設けられた電源用信号線路や低周波用伝送線路にノイズを与えたり、共振現象を引き起こ

す可能性があり、これらの妨害のない構造を検討する必要があった。また、前記提案では、高周波用素子の入出力端子構造がコプレーナ線路構造からなる場合においては適用しにくいという問題があった。

【0007】

【課題を解決するための手段】本発明者等は、高周波用パッケージとして、信号の特性の劣化が少なく、電源用信号線路や低周波信号線路に妨害を与えない配線構造と、入出力端子がコプレーナ線路構造で形成された高周波用半導体素子との接続が可能な高周波用パッケージの構造について検討を重ねた結果、高周波用素子の入出力端子とをグランド付きコプレーナ線路によって接続するとともに、外部電気回路基板と接続するための線路をマイクロストリップ線路によって構成し、このグランド付きコプレーナ線路を一旦ストリップ線路に変換した後、このストリップ線路とマイクロストリップ線路とを電磁結合により接続することにより、上記目的が達成されることを見だし、本発明に至った。

【0008】即ち、本発明の高周波用パッケージは、誘電体材料からなる誘電体基板と、該誘電体基板と蓋体により形成され高周波用素子を収納するためのキャビティと、前記誘電体基板内に設けられた少なくとも1層のグランド層と、該キャビティ内の前記誘電体基板の表面に形成され前記高周波用素子と接続されたグランド付きコプレーナ線路と、前記誘電体基板の前記キャビティ領域以外の誘電体基板表面に形成されたマイクロストリップ線路とを少なくとも具備するものであり、前記グランド付きコプレーナ線路を、変換部を介して前記誘電体基板内に形成されたストリップ線路と接続し、そのストリップ線路を前記マイクロストリップ線路と電磁的に結合したことを特徴とするものである。

【0009】なお、前記ストリップ線路の終端部の開放端側近傍に、少なくとも1つ以上のビアホールを形成するとともに、前記終端部を前記マイクロストリップ線路の終端部と、前記誘電体基板内に設けられたグランド層に形成されたスロット孔を介して対峙する位置に配置することにより、電磁的に結合したことを特徴とするものである。

【0010】また、前記グランド付きコプレーナ線路を、前記高周波用素子とコプレーナ線路構造で接続すること、前記変換部は、信号線路と、その両側に形成された一对のグランド層とからなるコプレーナ線路と、該コプレーナ線路の上下面に形成されたグランド層を具備する上下グランド付きコプレーナ線路からなるもので、その長さが、伝送信号の波長 λ の $1/4$ 未満であること、さらには、前記変換部において、前記信号線路両側のグランド層が、前記上下面に形成されたグランド層と、ビアホールおよび／またはキャスタレーションによって電氣的に接続されてなることを特徴とするものである。

【0011】本発明の高周波用パッケージによれば、キ

ャビティ内の高周波用素子と電氣的に接続されたグランド付きコプレーナ線路と、キャビティ外に形成されたマイクロストリップ線路とを、誘電体基板内で電磁的に結合させることにより、従来のように、伝送線路を側壁を貫通したり、スルーホールやビアホール等の手段をもってキャビティ内からキャビティ外に導出する場合の反射損、放射損および透過損などによる伝送損失を低減することができる。

【0012】さらに、電磁的な結合構造としては、誘電体基板内に設けたグランド層にスロット孔を形成し、ストリップ線路と、マイクロストリップ線路の終端部を線路間に介在するグランド層に形成されたスロット孔を介して対峙する位置に形成することにより電磁結合させることにより、伝送線路間での信号の損失が少なく信号の伝達が可能となる。

【0013】また、キャビティ内における伝送線路として、グランド付コプレーナ線路を用いることにより、コプレーナ線路構造からなる高周波用半導体素子に対してマイクロストリップ線路からなる高周波用パッケージよりも反射損が少なく接続することが可能となるとともに、信号線路の両側にグランド層が形成された構造からなるために、電磁波がもれることなく、その結果、電源信号線路や低周波信号線路に妨害を及ぼす危険を回避することができる。

【0014】さらに、キャビティ内のグランド付コプレーナ線路を誘電体基板内でストリップ線路に変換することにより、これらの高周波用伝送線路からの放射を低減し、電源信号線路や低周波信号線路に妨害を及ぼす危険をも回避できる。

【0015】

【発明の実施の形態】本発明における高周波用パッケージの一実施例を図1に示した。この図1の高周波用パッケージは、その裏面に外部電気回路基板と直接接続できる伝送線路を具備し、外部電気回路基板に表面実装可能なパッケージに係わるものである。図1によれば、高周波用パッケージ1は、誘電体材料からなる誘電体基板2と蓋体3によってキャビティ4が形成され、そのキャビティ4内には、MMIC、MIC等の高周波用素子5が搭載収納され、気密に封止されている。

【0016】誘電体基板2を構成する誘電体材料としては、高周波信号の伝送効率を高める上で、低誘電損失の材料からなることが望ましく、特に、誘電率が20以下で、誘電損失が 30×10^{-4} 以下（ともに測定周波数60GHz）のセラミックス、ガラスセラミックス、セラミック金属複合材料、ガラス有機樹脂系複合材料等などが望ましい。

【0017】蓋体3は、キャビティ4からの電磁波が外部に漏洩するのを防止できる材料から構成され、セラミックス、セラミック金属複合材料、ガラスセラミックス、金属等が使用できるが、これらの材料中に電磁波を

吸収させることのできるカーボン等の電磁波吸収物質を分散させたり、蓋体の表面にこれらの電磁波吸収物質を塗布することもできる。

【0018】図1の高周波用パッケージは、基本的には、配線層として、A、B、C、Dの4層から構成される。図2(a)は、配線層Aの配線図、図2(b)は、配線層Bの配線図、図2(c)は、配線層Cの配線図、図2(d)は、配線層Dの配線図である。

【0019】本発明によれば、上記のパッケージのキャビティ4内において、図2(b)に示すように、高周波用素子5に信号を伝送するための線路として、キャビティ4内の誘電体基板1表面に、配線層Bとして、伝送線路7と、その両側に形成されたグラウンド層8によりコプレーナ線路9が形成されている。そして、このコプレーナ線路9の下層の配線層Cには、グラウンド層10がほぼ一面に形成され、このグラウンド層10により、コプレーナ線路9は、グラウンド付きコプレーナ線路を形成している。

【0020】また、この配線層Bには、高周波用素子5に電力を供給するための電源用信号線路11が形成されている。このコプレーナ線路9および電源用信号線路11の一端は、高周波用素子5と、リボン、ワイヤ、TAB (Tape Automated Bonding) 等によってそれぞれ電気的に接続されている。

【0021】図2(b)において、点線で囲まれた領域は、キャビティ4内にて露出した領域であり、それ以外の領域は、図1に示すように、誘電体基板2内部に配設されるものである。キャビティ4内の誘電体基板2表面に形成されたコプレーナ線路9は、誘電体基板2内部に設けられた変換部12を経由してストリップ線路13と接続される。このストリップ線路13は、信号線路が、その上層の配線層Aに形成されたグラウンド層14と、その下層の配線層Cに形成されたグラウンド層10によって上下から挟まれた構造からなる。

【0022】変換部12は、図2(b)に示すように、前記グラウンド付きコプレーナ線路が、誘電体基板2内部まで配置され、その上下には、配線層Aのグラウンド層14と配線層Cのグラウンド層10によって挟まれた構造からなり、これにより上下グラウンド付きコプレーナ線路を形成している。なお、コプレーナ線路における信号線路7の両側のグラウンド層8は、所定長さLをもって終端となるように形成され、その結果、信号線路7は、ストリップ線路に変換されることになる。この変換部12において、信号線路7の両側のグラウンド層は、例えば、上下のグラウンド層14、10とビアホール15によって電気的に接続され、等電位に保たれている。この変換部12の長さLは、伝送信号の波長 λ の $1/4$ 未満であることが必要であり、波長 λ の $1/4$ 以上の長さでは、変換部で共振が生じるため、伝送信号を劣化させてしまう。

【0023】なお、配線層Bにおいて、上記のコプレー

ナ線路9、変換部12、ストリップ線路13、電源用信号線路11および高周波用素子5の周囲には、電磁波の漏洩防止のためのグラウンド層16が設けられ、グラウンド層16には、電位のばらつきを抑えるのと電磁波漏洩防止のためのスルーホール17が多数内設され、グラウンド層14、10と電気的に接続されている。

【0024】また、グラウンド層10が形成された配線層Cのさらに下層には、誘電体基板2の底面における配線層Dとして、図2(D)に示すように、パッケージを外部電気回路基板(図示せず)に表面実装する場合の接続部としての機能を兼ね備えた信号線路18が形成されている。この線路は、配線層Cのグラウンド層10とともにマイクロストリップ線路を形成している。

【0025】そして、配線層Bに形成されたストリップ線路13と、誘電体基板2の底面に形成されたマイクロストリップ線路18とは、配線層Cのグラウンド層10に形成されたスロット孔19を介して、互いの終端部が平面的にみてスロット孔19の中心から長さMの分、突出する位置にそれぞれ対峙して配置することにより、電磁的に結合され、損失のない信号の伝達が行われる。

【0026】また、電源用信号線路11の他端は、スルーホール20を通じてパッケージの底面まで導出され、接続用端子21と接続されている。

【0027】さらに、配線層Bに設けられたストリップ線路13の終端部からの電磁波の放射を防止するために、図3に示すように、ストリップ線路の終端部の開放端側近傍に、配線層Aのグラウンド層14と配線層Cのグラウンド層10とを電気的に接続する少なくとも1つ以上のビアホール22を、望ましくは、終端部周辺に形成するのがよい。

【0028】この態様のパッケージにおいては、高周波用素子5の下面には、グラウンド層10とこのグラウンド層10に接続されたサーマルビア23が形成されて、底面に形成された導体層24と接続され、高周波用素子5からの発熱を半導体装置の下面に放熱する構造となっている。

【0029】また、配線層Bにおける変換部12の他の構造としては、図4(a)に示すように、変換部12において、コプレーナ線路における信号線路両側のグラウンド層は、前記ビアホール以外に、誘電体基板2の壁面にキャスタレーション25を形成し、等電位に導通をとってもよい。また、ビアホール15とキャスタレーション25を併用してもよい。

【0030】また、図4(b)に示すように、誘電体基板2の壁面にキャスタレーション25を形成する際、伝送線路の両側のグラウンド層側に切り欠き部26を形成することにより、キャスタレーション形成時の導体インクのにじみを防止することができる。

【0031】次に、図5は、本発明の他の実施態様を説明するための断面図であり、誘電体基板2の上面に、ヒ

ートシンクが形成されたものである。説明において、図1の態様と同一機能を有する箇所は、同一符号を付した。

【0032】図5のパッケージにおいては、誘電体基板2、蓋体3およびヒートシンク27によってキャビティ4が形成され、そのキャビティ4内において、ヒートシンク27の表面に高周波用素子5が実装されており、高周波用素子5から発生した熱が、直接ヒートシンクに伝達され、放熱される構造からなる。

【0033】この図5のパッケージにおいては、誘電体基板2には、基本的にE、F、G、Hの4層の配線層を具備する。この図5の態様においては、配線層Eは、図1の配線層Aに、配線層Fは配線層Bに、配線層Gは配線層Cに、配線層Hは配線層Dにそれぞれ対応するものである。

【0034】配線層Eには、全面に導体層からなるグラウンド層14が形成されている。また、配線層Fには、グラウンド層14とコプレーナ線路6とからなるグラウンド付きコプレーナ線路、誘電体基板2内部に形成された変換部12、そして、配線層Gとして形成されたグラウンド層10と、配線層Eにおけるグラウンド層14によって信号線路13が挟まれた構造からなるストリップ線路が形成されている。

【0035】また、配線層Hには、図1の配線層Dと同様に、信号線路18が外部電気回路基板との接続端子としての機能を兼ね備えて形成され、配線層Gにおけるグラウンド層10をもってマイクロストリップ線路が形成されている。そして、配線層Hのマイクロストリップ線路18と、配線層Fにおけるストリップ線路とは、配線層Gにおけるグラウンド層10に形成されたスロット孔19を介して対峙させることにより、両者は電磁結合される。

【0036】その結果、高周波用素子5は、グラウンド付きコプレーナ線路、変換部、ストリップ線路に接続され、電磁結合によってストリップ線路とマイクロストリップ線路が接続されることになる。

【0037】なお、各配線層間は、図1～図4で説明したのと同様にして、E、F、G、Hの各配線層間のグラウンド層間をビアホールおよび／またはキャスタレーション等によって電気的に接続することにより等電位として、線路からの電磁波をもれや、電源用線路などへの影響を低減することができる。また、図5の態様によれば、ヒートシンクは誘電体基板2にろう付けされており、ヒートシンクは、材質としては銅-モリブデン合金、コパール等のものが最適である。

【0038】図1の高周波用パッケージにおいて、例として誘電率8.8、誘電損失 2.5×10^{-4} （測定周波数60GHz）の誘電体材料を用いて誘電体基板を作製し、また、各線路、グラウンド層、ビアホールは、銅を用いて形成した。なお、ストリップ線路と、マイクロ

トリップ線路とのスロット孔を介した電磁結合構造は、60GHzの信号を用い、ストリップ線路の開放端長さ（スロット孔の中心から終端部までの距離）が0.42mm、マイクロストリップ線路の開放端長さ（スロット孔の中心から終端部までの距離）が0.48mm、スロット穴長0.85mm、スロット穴幅0.20mmとした。また、ストリップ線路の終端部の周辺には、0.5mm間隔でビアホール9本をグラウンド層14とグラウンド層10を接続するように形成した。このときの配線基板を図6に示す金属ブロック28に載置し、評価用変換基板29とリボン30によって電気的に接続した後、伝送特性をネットワークアナライザにより測定した。その結果を図7に示した。

【0039】また、ストリップ線路の終端部周辺にスルーホールを全く形成しなかったものを図7（b）、変換部の長さLを波長 λ （60GHz）の $3/10$ 長さ（0.49mm）に設計したものを図7（c）に示す。

【0040】この結果から、高周波信号を低損失で伝送させるには、ストリップ線路の終端部の周辺にスルーホールを形成した場合がよいことがわかる。

【0041】次に、比較例として、図8（b）に示した従来の高周波用パッケージにおいて、誘電率9.6、誘電損失 1.8×10^{-4} （測定周波数60GHz）の誘電体材料と底面に形成された伝送線路間を径 $200 \mu\text{m}$ の銅導体からなるビアホールで接続した半導体装置をネットワークアナライザで同様に測定し図9にその結果を示した。図9の結果から、ビアホールにて伝送線路を接続した場合、周波数が20GHz以上で $S_{11} : -10 \text{ dB}$ 以上、 $S_{21} : -30 \text{ dB}$ 以下となることから高周波信号を半導体素子に伝送することは不可能であることがわかった。

【0042】

【発明の効果】以上詳述した通り、本発明の高周波用パッケージは、信号の特性の劣化が少なく、高周波信号線路からの電磁波のもれなどによって電源用信号線路や低周波信号線路に妨害を与えることなく、入出力端子がコプレーナ線路構造で形成された高周波用半導体素子と低損失で接続することができる。

【図面の簡単な説明】

【図1】本発明の高周波用パッケージの一実施態様を説明するための概略断面図である。

【図2】図1の高周波用パッケージの各配線層の配線図であり、（a）は配線層A、（b）は配線層B、（c）は配線層C、（d）は配線層Dをそれぞれ示す。

【図3】図1の高周波用パッケージにおけるストリップ線路の終端部の好適な構造を説明するための平面図である。

【図4】変換部において、キャスタレーションを形成した場合の構造を説明するための要部斜視図であり、

（a）はその一態様、（b）は他の態様である。

【図5】本発明の高周波用パッケージの他の態様を説明するための概略断面図である。

【図6】本発明の実施例における伝送特性の測定方法を示すための図である。

【図7】本発明における高周波用パッケージの伝送特性を示す図である。

【図8】従来の高周波用パッケージを説明するための図であり、(a)はその一態様、(b)は他の態様である。

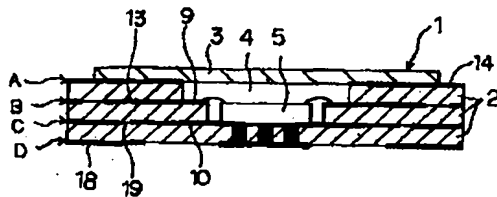
【図9】従来の高周波用パッケージの伝送特性を示す図である。

【符号の説明】

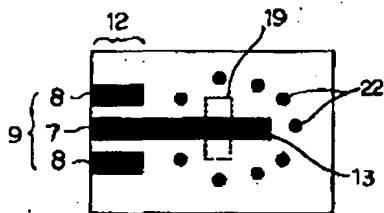
- 1 高周波用パッケージ
2 誘電体基板

- 3 蓋体
4 キャビティ
5 高周波用素子
10、14、16、8 グランド層
9 グランド付きコプレーナ線路
12 変換部
13 ストリップ線路
15 ビアホール
18 マイクロストリップ線路
19 スロット孔
22 ビアホール
25 キャスタレーション
26 切り欠き部

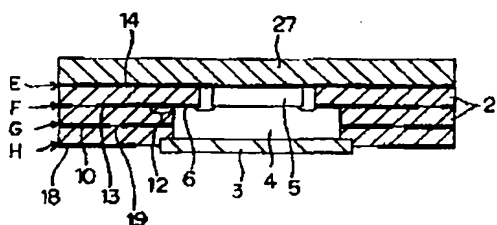
【図1】



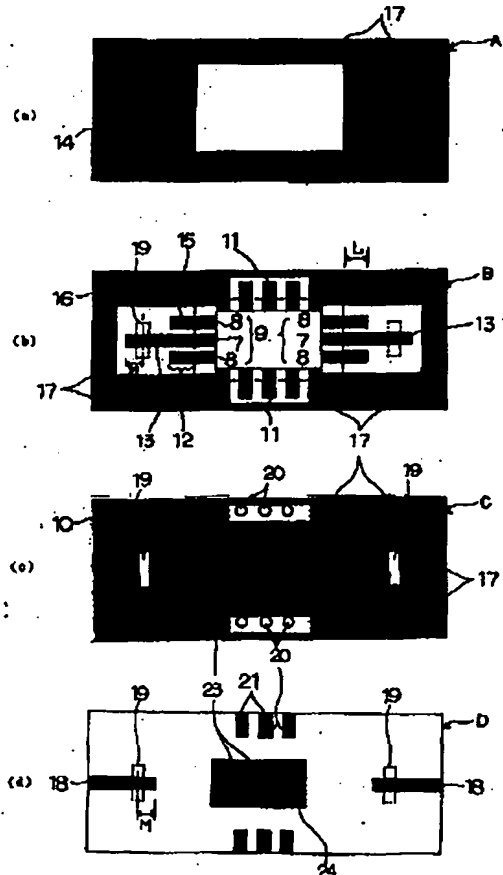
【図3】



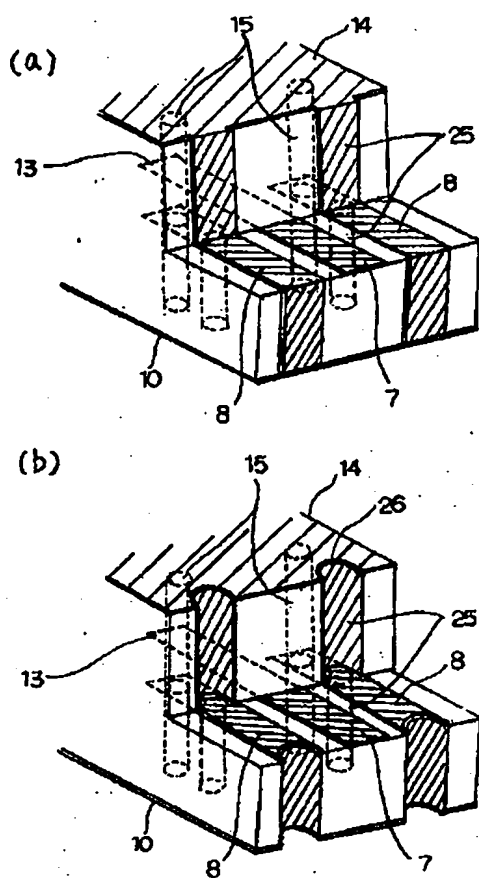
【図5】



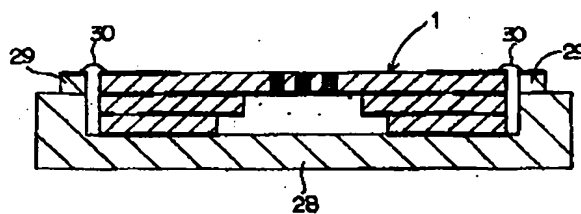
【図2】



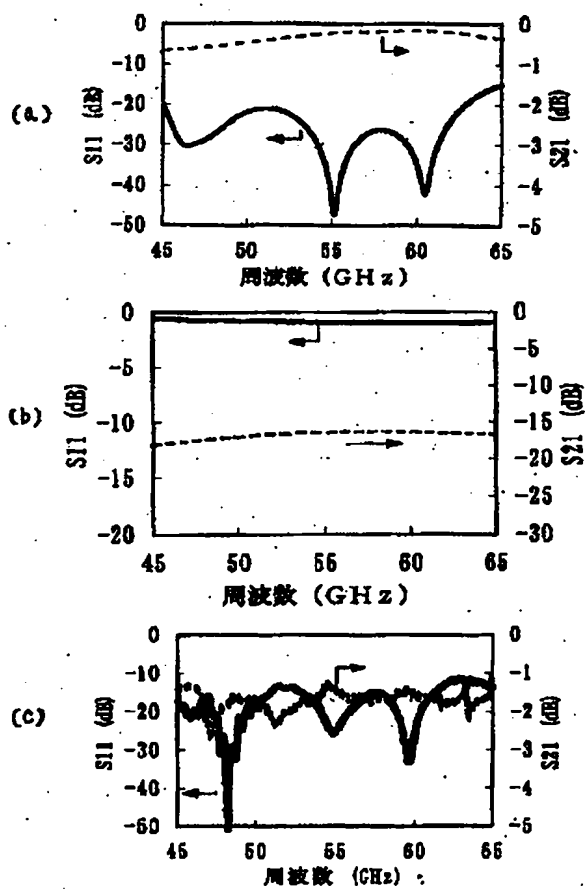
【図4】



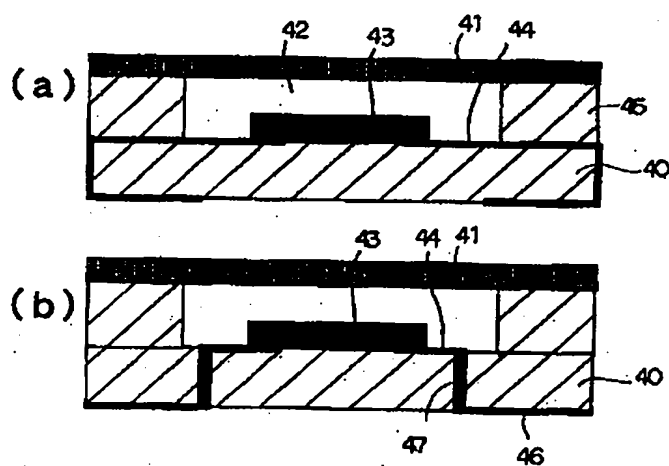
【図6】



【図7】



【図8】



【図9】

